

文章编号:1007-2780(2009)01-0121-05

基于行间转移 CCD 场输出模式下的成像系统设计

周 辉^{1,2}, 张星祥¹, 陶宏江¹, 任建岳¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: zho_1984718@hotmail.com;
2. 中国科学院 研究生院, 北京 100039)

摘 要: 采用 SONY 行间转移型面阵 CCD ICX415AL 作为传感器件, 设计了一种新型的 CCD 成像系统。成像系统采用 CCD 信号专用芯片 CXA1310AQ 进行信号处理, 使输出信号满足模拟信号 PAL/CCIR 标准, 可以采用电视机或者配有视频卡的计算机作为显示终端。针对 ICX415AL 的结构和特点, 设计了系统的时序电路和驱动电路。CCD 工作模式为场输出模式, 可以理解为垂直方向的 Binning 技术。采用相关双采样(CDS)技术滤除了视频信号中的相关噪声, 提高了系统的信噪比。整个系统采用现场可编程门阵列作为核心器件, 通过自上而下的模块设计完成了 CCD 驱动时序、数据采集时序控制和视频信号简单处理。

关 键 词: 行间转移 CCD; 驱动时序; 相关双采样; FPGA
中图分类号: TN386.5 **文献标识码:** A

1 引 言

CCD(Charge coupled devices)技术经过 30 年的发展已成为一种成熟的光电成像技术, 具有信号输出噪声低, 动态范围大, 量子效率高以及电荷转移效率高等优点。采用硅衬底的 ICCD (Intensified CCD), 其光谱响应范围已经延伸到极紫外、X 射线^[1]波段, 在科学研究、生成检测、医疗生化以及国防军工等领域的应用越来越广泛^[2]。

CCD 图像传感器^[3]是相机中最重要的部件, CCD 驱动电路和数据采集电路是相机系统设计的关键。CCD 驱动电路主要由驱动时序产生电路、偏置电压产生电路和驱动器电路组成。后续数据采集电路主要由 CCD 专用集成芯片完成。

本文采用 FPGA 进行驱动时钟设计, 实现了 CCD 器件驱动电路和数据采集时序控制等模块的时钟脉冲设计。FPGA 以其高集成度、灵活方便的特点, 在电路设计中的应用日趋广泛。Spartan3 系列中存在 DCM(数字时钟管理模块), 具有消除时钟脉冲相位差、频率合成和相位转换 3 个功能, 方便实现时钟倍频和分频, 有助于系统时钟设计。

2 行间转移 CCD 内部结构及时序分析

2.1 ICX415AL CCD 图像传感器的特性

ICX415AL 是一种高分辨率、高敏感度、低噪声的行间转移 CCD 图像传感器, 对角线为 8 mm, 水平读出频率最大为 29.5 MHz, 像素尺寸为 8.3 $\mu\text{m} \times 8.3 \mu\text{m}$ 。ICX415AL 的驱动信号包括以下几种: 水平像素转移寄存器时钟信号 H_1 、 H_2 ; 垂直行驱动时钟信号 V_1 、 V_2 、 V_3 ; 读出寄存器复位时钟 RG; 衬底时钟 SUB。SUB 信号决定 CCD 快门调节时间, 一帧中 SUB 信号越多, CCD 光敏区的曝光时间就越短。ICX415AL 的最大特点是除了逐行扫描、中心读出工作模式之外还存在场读出模式, 在这种模式下可以搭配专用芯片, 处理后直接用电视机作为接受设备接受图像, 免去了 A/D 和数字采集卡的设计, 使电路小型化。

如图 1 所示, 在场读出模式下, 所有的成像像素点都被读出, 在水平消隐期间, 垂直行驱动时钟信号需要完成 2 行的转移, 垂直方向的两个像素中的图像信号在水平读出寄存器中迭加起来, 实现垂直方向的 Binning 技术。

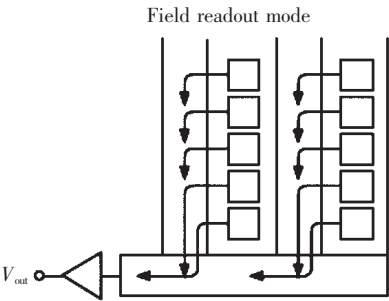


图 1 场输出模式
Fig. 1 Field readout mode

2.2 系统信噪比分析

电路系统总的随机噪声包括霰粒噪声、暗电流噪声、复位噪声、白噪声和输出放大器噪声^[4], 其计算公式如下:

$$\sigma_r = \sqrt{\sigma_{shot}^2 + \sigma_{dark}^2 + \sigma_{reset}^2 + \sigma_{aw}^2 + \sigma_{af}^2}$$
 (1)

式(1)中, $\sigma_{shot}^2 = S$, S 为 CCD 信号;复位噪声、白噪声和输出放大器噪声可以统称为读出噪声。系统信噪比的计算如公式(2)所示:

$$SNR_{sys} = S / \sqrt{S + \sigma_{dark}^2 + \sigma_{read}^2}$$
 (2)

从式(2)可以看出, 当光信号变大时, 信噪比也变大, 达到一定程度时可以忽略暗电流噪声和读出噪声的影响。CCD 的场输出模式提高了系统的信噪比。

需要注意的是在奇数帧和偶数帧中的行相加方式不同。如图 2 所示。

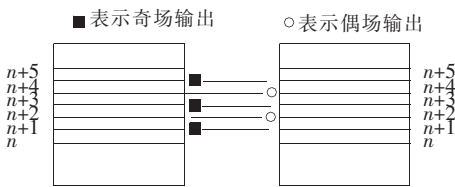


图 2 奇偶场输出原理
Fig. 2 Principle of odd/even field readout

从图 2 中可以看出, 连续的 2 帧图像在成像位置上正好符合隔行扫描的方式。通过时序控制和后续电路处理就可以产生 PAL 信号, 证明 CCD 可以产生模拟电视信号。

3 CCD 信号采集处理模块

图 3 为 CCD 成像系统框图, 包括 CCD 驱动信号、电压偏置电路、FPGA 时序信号发生电路和 CCD 信号处理模块。CCD 在驱动脉冲的作用

下输出信号, 经过模拟放大, 信号进入专用集成电路, 处理后输出模拟的视频 PAL 信号。CCD 及模拟前端所需的时序由 CCD 的时序产生部分生成, CCD 工作在场输出模式下。

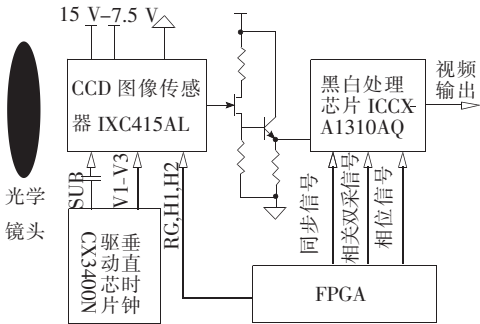


图 3 成像系统框图
Fig. 3 Structure of imaging system

3.1 CCD 驱动模块

FPGA 产生的 LVTTTL 信号需要经过电压变换才能加载到 CCD 芯片输入端。CCD 驱动信号的好坏直接影响到 CCD 输出信号, 进而影响到整体成像效果。FPGA 产生的 CCD 水平时钟驱动信号经过时钟驱动芯片 EL7212 转换得到时序和偏置都符合 CCD 芯片要求的信号^[5]。FPGA 产生的 CCD 垂直时钟驱动信号经 SNOY 公司的 CXD3400N 处理, 产生 IXC415AL 芯片需要的垂直驱动阶梯脉冲波。

3.2 CCD 信号处理模块

目前, 相关双采样及暗电平校正技术是从 CCD 输出信号中提取出有用的视频信号而去掉干扰及噪声信号所广泛应用的技术。相关双采样的电路拓展结构有很多种^[6], 相关双采样就是复位电平减去视频信号, 暗电平校正技术是把前面得到的结果再减去暗电平信号。最终得到的就是实际的视频信号。

增益调整是为了在不同光照下使 CCD 信号仍能较好地处于模数转换的量程范围内^[7], 从而使视频信号不至于太弱或者太过于饱和, 增益调整部分放大器的噪声必须很小才能满足要求。

视频处理芯片为 CXA1310AQ。输出信号最先经过相关双采样(CDS)处理, 之后配合信号量, 经过可改变的自动增益控制(Automatic Gain Control, AGC)电路进行 γ 校正(对输出阴极射线管的输入信号进行发光强度的非线性校正), 使灰

度自然呈现的处理。最后加入同步信号完成图像信号的输出^[8]。

3.3 视频信号处理

在仪器拼接、军事瞄准等一些特殊场合中需要参考点或者参考线,系统本身输出为模拟视频信号。本文给出一种对 PAL 信号进行处理的模拟方法,目标是给输出显示设备中心加十字丝,原理如图 4 所示。



图 4 信号处理框图

Fig. 4 Structure of signal processing

信号分离由视频同步分离芯片 LM1881 来完成。输入的 PAL 信号经过变换可以分离出复合同步输出(Composite Sync Output)、奇偶场输出(Odd/Even Output)、垂直同步信号输出(Vertical Sync Output)等 4 路输出信号。使其中复合同步输出和奇偶场输出信号进入 FPGA 进行信号处理,输出信号与视频信号经过放大器合成输出符合设计的图像信号。

4 驱动系统设计

系统采用 Xilinx 公司的 Spartan3 系列 XC3S200 作为主要时序发生模块,分为 3 个部分:

- (1) CCD 驱动时序发生器;
- (2) CCD 专用集成电路同步信号发生器;
- (3) 视频信号中十字丝信号发生器。

系统采用 29.5 MHz 作为系统时钟,经过 Xilinx 的 DCM(数字时钟管理模块)对系统时钟 4 倍频产生 118.0 MHz。其余时钟基本都由 118.0 MHz 分频产生。

4.1 CCD 驱动时序设计

CCD 工作在场模式下,FPGA 产生的 CCD 垂直转移和 SUB 时钟信号(XV_3 、 VSG_3 、 XV_2 、 VSG_2 、 XV_1 、 $XSUB$)送入 CXD3400N 芯片输出 V_1 、 V_2 、 V_3 ;产生的 CCD 水平转移时钟信号和复位时钟信号送入 EL7212 芯片,产生 H_1 、 H_2 、RG 时钟信号^[9]。

水平方向转移时钟 H_1 、 H_2 为 14.75 MHz,为了让像元存储信息更好的得到传递,水平转移

时钟高电平应有一部分区域相互有叠加,设计中采取在 H_1 上升沿和 H_2 下降沿之间有较大 8 ns 的叠加。复位时钟脉冲 RG 大约为 8 ns, RG 上升沿与 H_2 上升沿对齐。

垂直方向采用 Binning 技术,实现奇偶场输出。在进行偶数帧时,CCD 信号第 $2n-1$ 、 $2n$ 行叠加;在奇数帧时,单独输出 CCD 的第 1 和第 582 行,把剩下的第 $2n$ 、 $2n+1$ 行叠加,(n 取值为 1~312)。在奇数帧和偶数帧有效行输出前,大约 2~3 个垂直时钟周期,需要加载阶梯波。程序设计中奇数帧为提前 3 个周期,偶数帧为 4 个周期。其它时钟可参考芯片时钟设计。

4.2 CXA1310AQ 驱动时序设计

为 CCD 预处理部分提供相关双采样信号(SHD1, SHD2),同步信号 SYNC, BLK, CLP1, CLP 送入 CXA1310AQ。

表 1 视频信号参数

Table 1 Parameters of video signal

系统像素时钟频率	PAL/CCIR 像素 15.0 MHz
水平线周期	960(64.0 μ s)
水平消隐脉冲	180(12.0 μ s)
水平视频有效区域	780(52.0 μ s)
场频	50 Hz(20 ms)
一场中行数	312.5H
场消隐	25H
一场中有效行区域	287H

从表 1 可知, PAL/CCIR 信号行周期为 64 μ s,水平读出时钟为 14.75 MHz,可以得到水平方向总像素为 $64 \times 14.75 = 944$ 个;一场为 20 ms, CCD 1 帧中 2 行一起输出,可以计算得到垂直方向行数为 $2 \times 20 \text{ ms} / 64 \mu\text{s} = 625$ 行;水平方向有效像元为 782 个,计算出消隐像素为 162 个;垂直方向的有效行是 592 行,场消隐为 $(625 - 592) / 2 = 17$ 行。通过这些数据就不难编写行同步信号时钟 SYNC(设计为在奇偶场行有效像素输出时为 1,其它为 0)和场消隐信号时钟 BLK(设计为奇偶场有效像素末端到下一场有效像素开始前 17 个时钟周期电平为 0,其它为 1)。

本系统设计中相关双采样脉冲信号 SHD₁ 上升沿与 H_2 上升沿间隔 1/4 个像素周期, SHD₁ 与 SHD₂ 上升沿间隔 1/2 个像素周期。

4.3 视频信号中心十字丝信号发生器

产生十字信号,使其在奇偶场的所有水平中心的一个像素时间宽度为高电平,形成竖条纹;在奇场的垂直中心整行时间宽度为高电平,形成横条纹。该模块设计与前面的 CCD 视频信号输出没有实际联系,可以分开设计。

根据表 1 中的参数对视频 PAL 信号进行分析,可以计算出十字丝的位置。考虑到水平消隐和垂直消隐的存在,设计中在 $(180+960)/2=570$ 列,奇数场的 $(25+287)/2=169$ 行处设置脉冲。

其中需要考虑的是处理好时钟同步问题,如何使系统时钟与视频信号中的行同步和场同步进行采样计数。本设计中增加了一个寄存器 reg1 来寄存行时钟信号 sync。当在系统时钟上升沿

时,reg1 被赋予 sync 的值,reg1 相当于 sync 延时一个系统时钟的结果。当 $sync=1$ 时, $reg1=0$, 表明为 sync 时钟上升沿,开始计数器清零;否则,计数器加 1。处理场同步的方法和行同步相似。

5 功能验证

整体程序通过硬件描述语言 VHDL 来编写,在 Xilinx 公司的集成开发环境 ISE 下完成逻辑设计和编译,进行功能仿真。通过修改 LM1881 视频信号入口的低通滤波电容或者电阻,可以调整十字信号。最终形成的电路工作正常,效果良好。以下是系统中输入和输出信号 Modelsim 仿真图。如图 5,6 所示,时序符合要求。

实验图像如图 7、图 8 所示。

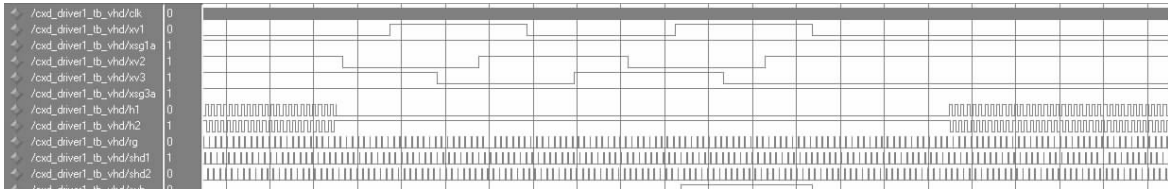


图 5 CCD 垂直驱动时序仿真

Fig. 5 Simulation of vertical driving time sequence



图 6 水平驱动时序与相关双采样时序仿真

Fig. 6 Simulation of horizon and correlate double sample driving time sequence

图 8 中显示的图像证明系统设计基本正常。不足之处是处理后的图像变暗,在以后工作中需改进设计,避免视频信号衰减。

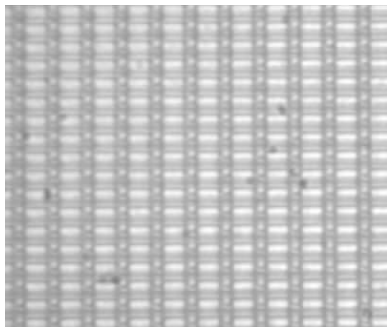


图 7 CCD 图像

Fig. 7 Image of CCD

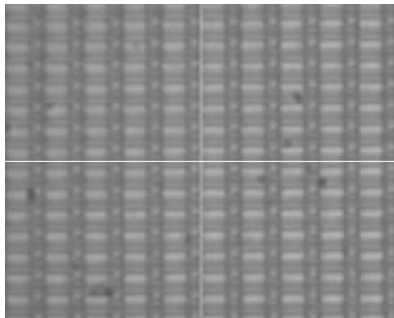


图 8 视频处理后图像

Fig. 8 Image after video processing

6 结 论

提出了一种应用仪器拼接和目标瞄准的面阵

成像系统,采用专用 CCD 模拟处理芯片,在模拟电路中进行处理,避免了 A/D 转化中量化误差的存在。在图像显示方面,避免了图像采集卡的使用,可以节约大量的成本,可以通过视频卡以 VGA 图像信号显示,也可以直接接到电视机上

视频端口接受视频信号。详细介绍了图像传感器中场输出模式的特点并重点阐述了时序驱动电路和视频信号处理电路的设计。基于以上设计实现了 CCD 成像系统的正常成像。

参 考 文 献:

[1] 雷伏容. VHDL 电路设计 [M]. 北京:清华大学出版社.
[2] 王庆有. 图像传感器应用技术 [M]. 北京:电子工业出版社.
[3] 基于 CCD 图像的平板显示器像素的亮度分析[J]. 液晶与显示,2006,21(4):388-392.
[4] 李云飞,李敏杰,司国良. TDI-CCD 图像传感器的噪声分析和处理[J]. 光学精密工程,2007,15(8):1196-1202.
[5] 张大海,姚大志,刘伟,等. 高速科学 CCD CAMERA 系统设计[J]. 光学光电工程,2005,32(11):87-92.
[6] 佟首峰,阮锦,郝志航. 几种相关双采样拓扑电路分析[J]. 半导体光电,2000,(10):358-362.
[7] 薛旭成,李云飞,郭永飞. CCD 成像系统中模拟前端设计[J]. 光学精密工程,2007,15(8):1191-1195.
[8] 米本和也. CCD/CMOS 图像传感器基础与应用 [M]. 北京:科学出版社,2006.
[9] 盛翠霞,张涛,纪晶. 高分辨率 CCD 芯片 FTF4052M 驱动系统的设计[J]. 光学精密工程,2007,15(4):564-569.

Design of Imaging System Based on Interline
Transfer CCD in Field Readout Mode

ZHOU Hui^{1,2}, ZHANG Xin-xiang¹, TAO Hong-jiang¹, REN Jian-yue¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, E-mail: zho_1984718@hotmail.com, China;

2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract

A new imaging system is designed by using an interline transfer CCD ICX415AL as sensor which is produced by Sony corporation and greatly improve the SNR of system . CCD imaging system uses special signal processing chip-CXA1310AQ making output signal to meet the standard of PAL/CCIR. It can be used with TV and computer which has video card as a display terminal. On the basis of introducing the structure and characteristics of CCD ICX415AL, the circuits of timing sequence and driver for sensor were designed. CCD works in field readout mode which can be realized as binning-technology in vertical direction and the noises of video signal are filtered by Correlated Double Sampling (CDS), the signal-to-noise ratio of system was enhanced. The system takes Field Programmable Gate Array (FPGA) as the key device. The CCD driving clock, clock control of data acquisition and video signal process were accomplished by the module design method from top to bottom.

Key words: interline transfer CCD; driving clock correlate double sample; field programmable gate array

作者简介:周辉(1983—),男,陕西咸阳人,硕士研究生,主要从事 CCD 图像采集系统与图像处理方面技术的研究。